

1/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

014821347 **Image available**
WPI Acc No: 2002-642053/200269
XRPX Acc No: N02-507448

Display controller for pager, has group of transfer gates to collectively transfer display data held by multiple latch circuits for writing into memory cells of selected word line

Patent Assignee: HITACHI DEVICE ENG CO LTD (HISD); HITACHI LTD (HITA)
Inventor: OHYAMA T; SAKAMAKI G; TANI K; YOKOTA Y
Number of Countries: 004 Number of Patents: 004
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20020075272	A1	20020620	US 2001998325	A	20011203	200269 B
JP 2002182627	A	20020626	JP 2000383012	A	20001218	200269
KR 2002059227	A	20020712	KR 200177722	A	20011210	200306
TW 221576	B1	20041001	TW 2001129849	A	20011203	200526

Priority Applications (No Type Date): JP 2000383012 A 20001218

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 20020075272	A1		22	G09G-005/39	
JP 2002182627	A		17	G09G-005/00	
KR 2002059227	A			G09G-003/36	
TW 221576	B1			G06F-003/153	

Abstract (Basic): US 20020075272 A1

NOVELTY - A group of transfer gates (G0-G15,G20-G35) are connected to bit lines (BL0-BL15) of array of memory cells (MC) of display memory. A display data of predetermined bit width held by multiple latch circuits (LT0-LT15) are transferred collectively by the group of transfer gates to write into memory cells of selected word lines (W0-W1).

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is included for mobile electronic apparatus.

USE - For display device of mobile telephone, pager, personal telephone system (PHS), pocket bells.

ADVANTAGE - The collective writing mode enables writing of data into memory at high speed without increasing power consumption.

DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of the display controller.

Bit lines (BL01-BL15)
Transfer gates (G01-G15,G20-G35)
Latch circuits (LT0-LT15)
Word lines (W0-W1)s
pp; 22 DwgNo 4/12

Title Terms: DISPLAY; CONTROL; PAGE; GROUP; TRANSFER; GATE; COLLECT;
TRANSFER; DISPLAY; DATA; HELD; MULTIPLE; LATCH; CIRCUIT; WRITING; MEMORY;
CELL; SELECT; WORD; LINE

Derwent Class: P85; T01; U13; U14; U21; U22; W01; W05

International Patent Class (Main): G06F-003/153; G09G-003/36; G09G-005/00;
G09G-005/39

International Patent Class (Additional): G02F-001/133; G09G-003/20

File Segment: EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-182627

(P 2002-182627 A)

(43) 公開日 平成14年6月26日 (2002. 6. 26)

(51) Int. Cl. ⁷	識別記号	F I	7-73-1 (参考)	
G09G 5/00		G02F 1/133	570	2H093
G02F 1/133	570	G09G 3/20	611	A 5C006
G09G 3/20	611		631	B 5C080
	631		680	T 5C082
	680	3/36		
審査請求 未請求 請求項の数24 O L (全17頁) 最終頁に続く				

(21) 出願番号 特願2000-383012 (P 2000-383012)

(22) 出願日 平成12年12月18日 (2000. 12. 18)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 谷 邦彦

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100085811

弁理士 大日方 富雄

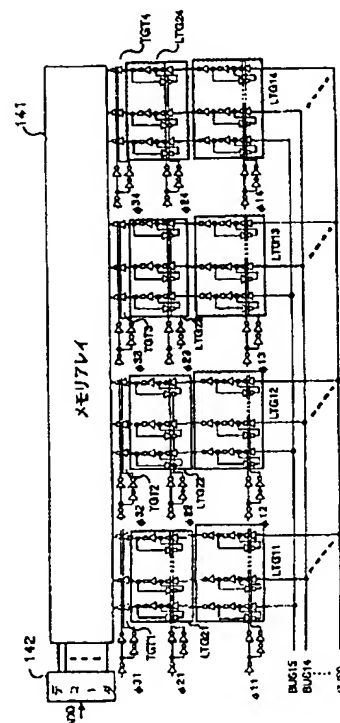
最終頁に続く

(54) 【発明の名称】 表示制御装置および携帯用電子機器

(57) 【要約】

【課題】 従来の表示制御装置に内蔵されている表示RAMは、1ワードずつ順番に書き込んで行く方式であるため、マイクロプロセッサからの表示データの伝送速度に応じて書き込み速度を速くしようとする、伝送速度に比例して消費電力が増大してしまうという課題があった。

【解決手段】 表示制御装置(100)内部の表示RAM(140)への書き込みデータ幅(ビット数)を、外部のマイクロプロセッサ(53)などから供給される書き込みデータ幅の整数倍とするとともに、表示RAM1行分の書き込みデータを保持する2段のラッチ回路(LTG11~LTG14, LTG21~LTG24)を設けて、マイクロプロセッサなどから供給される書き込みデータを数サイクル分1段目のラッチ回路(LTG11~LTG14)に取り込んで、データが揃ったところで2段目のラッチ回路(LTG11~LTG14)に一括伝送して、2段目のラッチ回路に保持しているデータを伝送ゲートにより一括して表示RAMに伝送して書き込むようにした。



【特許請求の範囲】

【請求項1】 表示装置の表示データを記憶可能であって所定のビット単位で表示データの書込みが行われる表示メモリを備え、該表示メモリから順次表示データを読み出して表示装置に対する駆動信号を形成し出力する表示制御装置であって、

前記表示メモリは、行列状に配置された複数のメモリセルとメモリセルの選択端子が接続された複数のワード線と該ワード線と交差する方向に配設されメモリセルのデータ入出力ノードが接続された複数のビット線とを備えたメモリアレイを有し、前記ビット線には入力用の伝送手段と出力用の伝送手段が接続され、前記入力用の伝送手段によるデータの伝送で選択状態のワード線に接続されているメモリセルへのデータの書込みが行なわれ、前記出力用の伝送手段によるデータの伝送で選択状態のワード線に接続されているメモリセルからのデータの読出しが行なわれるように構成され、

前記所定ビット単位の表示データを順次取込み可能な複数の第1データラッチ手段を備え、該第1データラッチ手段に保持されている表示データが、該第1データラッチ手段へ取り込まれる表示データのビット数の整数倍

(n 倍)のビット単位で、前記入力用の伝送手段により前記表示メモリのビット線に一括して伝送可能に構成されていることを特徴とする表示制御装置。

【請求項2】 前記第1データラッチ手段に保持されている表示データを前記第1データラッチ手段へ取り込まれる表示データのビット数の整数倍のビット単位で取込み可能な複数の第2データラッチ手段をさらに備え、前記入力用の伝送手段は該第2データラッチ手段に保持されている表示データを前記第1データラッチ手段へ取り込まれる表示データのビット数の整数倍(n 倍)のビット単位で前記表示メモリのビット線に伝送可能に構成されてなることを特徴とする請求項1に記載の表示制御装置。

【請求項3】 前記入力用の伝送手段による前記表示メモリのビット線へのデータの伝送は、前記第1データラッチ手段への最後のデータの取込みと同一のタイミングで行なわれることを特徴とする請求項1又は2に記載の表示制御装置。

【請求項4】 前記第1データラッチ手段の数は、前記 n 倍のさらに整数倍であることを特徴とする請求項1～3の何れかに記載の表示制御装置。

【請求項5】 前記入力用の伝送手段により前記表示メモリのビット線に伝送されるべきデータのビット数を設定可能なマスク設定手段を備え、該マスク設定手段の設定情報に基づいて前記入力用の伝送手段が制御されるように構成されていることを特徴とする請求項1～4の何れかに記載の表示制御装置。

【請求項6】 前記マスク設定手段は、連続したアドレス範囲の書込みデータの先頭アドレスとその先頭アドレ

スからマスクすべきデータ量および終了アドレスとその終了アドレスからマスクすべきデータ量を設定可能に構成されてなることを特徴とする請求項5に記載の表示制御装置。

【請求項7】 前記表示メモリから読み出された表示データに基づいて外部の液晶表示装置のセグメント電極を駆動する信号を生成するセグメント駆動手段を備え、1個の半導体チップ上に半導体集積回路として構成されていることを特徴とする請求項1～6の何れかに記載の表示制御装置。

【請求項8】 請求項1～7の何れかに記載の表示制御装置と、

前記表示メモリに書き込む表示データの生成およびその書込み位置情報に関する設定を行うデータ処理装置と、前記表示メモリから読み出されて表示データに基づき前記表示制御装置により形成された表示駆動信号により表示を行う表示装置と、

を備えたことを特徴とする携帯用電子機器。

【請求項9】 前記表示装置はドットマトリックス型の液晶表示装置であることを特徴とする請求項8に記載の携帯用電子機器。

【請求項10】 前記表示制御装置は前記液晶表示装置のセグメント電極を駆動する信号を生成するセグメント駆動手段を備え、前記液晶表示装置のコモン電極を駆動する信号を生成するコモン電極駆動回路は前記表示制御装置が形成された半導体チップとは別個の半導体チップ上に半導体集積回路として構成され、該コモン電極駆動回路は前記表示制御装置を構成する素子よりも耐圧の高い素子で構成されていることを特徴とする請求項9に記載の携帯用電子機器。

【請求項11】 液晶パネルに表示すべき表示データを格納するメモリと、

上記メモリに格納すべき表示データがマイクロプロセッサから供給される k ビットの第1外部端子と、

上記メモリからの m ビットの読み出しデータに基づいて、上記液晶パネルを駆動する為の駆動信号を出力する複数の第2外部端子と、

上記メモリの入力と上記第1外部端子との間に結合され、 m ビットの表示データを格納可能な第1ラッチ回路と、

上記第1ラッチ回路の内の、上記 k ビットの整数倍(n 倍)の単位毎であって、上記 m ビット以下のビット数($k \cdot n$)の表示データを選択して、上記メモリのビット線に伝送する伝送回路と、

を有する1つの半導体基板に形成された表示制御装置。

【請求項12】 請求項11において、上記伝送回路と上記第1ラッチ回路との間に設けられ、上記 m ビットの表示データを格納可能な第2ラッチ回路を有し、

上記第2ラッチ回路は、上記ビット数($k \cdot n$)の表示

データを上記伝送回路へ出力する表示制御装置。

【請求項 13】 請求項 11 において、上記表示制御装置は、第 1 動作モード及び第 2 動作モードを設定する為の制御レジスタを有し、上記制御レジスタへの第 1 値の設定にตอบสนองして、上記メモリへの書き込みモードが上記第 1 動作モードへ設定され、

上記制御レジスタへの第 2 値の設定にตอบสนองして上記メモリへの書き込みモードを上記第 2 動作モードへ設定され、

上記伝送回路は、上記第 1 動作モードへの設定にตอบสนองして、上記第 1 ラッチ回路に格納された k ビットの整数倍 (n 倍) の単位毎に、上記表示データを上記メモリのビット線へ伝送し、上記第 2 動作モードへの設定にตอบสนองして、上記第 1 ラッチ回路に格納された k ビットの単位毎に、上記表示データを上記メモリのビット線へ伝送する表示制御装置。

【請求項 14】 請求項 13 において、さらに、上記メモリからの読み出しデータにตอบสนองして、上記液晶パネルのセグメント線へ供給されるべき駆動信号を形成するセグメントドライバを含む表示制御装置。

【請求項 15】 請求項 14 において、さらに、階調電圧発生回路と、上記メモリからの読み出しデータにตอบสนองして、上記階調電圧発生回路によって発生された複数の階調電圧から所望の階調電圧を選択する階調電圧選択回路と、を含む表示制御装置。

【請求項 16】 請求項 15 において、さらに、上記液晶パネルの複数のコモン線を周期的に駆動するための駆動信号を形成するコモンドライバを含む表示制御装置。

【請求項 17】 請求項 15 において、さらに、上記メモリのビット線へ供給されるデータのビット数を設定可能なマスク設定回路を有し、上記マスク設定回路に設定された情報に基づいて、上記伝送回路が制御される表示制御装置。

【請求項 18】 カラー表示可能な液晶パネルに表示すべき画像データを表示データとして格納するメモリと、上記メモリに格納すべき表示データがマイクロプロセッサから供給される k ビットの第 1 外部端子と、上記メモリからの m ビットの読み出しデータに基づいて、上記液晶パネルを駆動する為の駆動信号を出力する複数の第 2 外部端子と、上記メモリの入力と上記第 1 外部端子との間に結合され、 m ビットの表示データを格納可能な第 1 ラッチ回路と、

上記第 1 ラッチ回路の内の、上記 k ビットの整数倍 (n 倍) の単位毎であって、上記 m ビット以下のビット数 ($k \cdot n$) の表示データを選択して、上記メモリのビット線に伝送する伝送回路と、

階調電圧発生回路と、

上記メモリからの読み出しデータにตอบสนองして、上記階調

電圧発生回路によって発生された複数の階調電圧から所望の階調電圧を選択する階調電圧選択回路と、

上記選択された階調電圧に基づいて、上記液晶パネルのセグメント線へ供給されるべき駆動信号を形成するセグメントドライバと、

を含む表示制御装置。

【請求項 19】 請求項 18 において、さらに、上記液晶パネルの複数のコモン線を周期的に駆動するための駆動信号を形成するコモンドライバを含む表示制御装置。

10 【請求項 20】 請求項 18 において、さらに、上記メモリのビット線へ供給されるデータのビット数を設定可能なマスク設定回路を有し、

上記マスク設定回路に設定された情報に基づいて、上記伝送回路が制御される表示制御装置。

【請求項 21】 複数のコモン電極と、複数のセグメント電極と、上記複数のコモン電極と上記複数のセグメント電極との電位差によって駆動されるドットの複数の含む液晶パネルと、

20 上記液晶パネルに表示されるべき表示データを発生するデータ処理装置と、

表示制御装置とを有し、

上記表示制御装置は、

上記液晶パネルに表示すべき表示データを格納するメモリと、

上記メモリに格納すべき表示データが上記データ処理装置から供給される k ビットの第 1 外部端子と、

上記メモリからの m ビットの読み出しデータに基づいて、上記液晶パネルを駆動する為の駆動信号を出力する複数の第 2 外部端子と、

30 上記メモリの入力と上記第 1 外部端子との間に結合され、 m ビットの表示データを格納可能な第 1 ラッチ回路と、

上記第 1 ラッチ回路の内の、上記 k ビットの整数倍 (n 倍) の単位毎であって、上記 m ビット以下のビット数 ($k \cdot n$) の表示データを選択して、上記メモリのビット線に

伝送する伝送回路と、

階調電圧発生回路と、

上記メモリからの読み出しデータにตอบสนองして、上記階調電圧発生回路によって発生された複数の階調電圧から所望の階調電圧を選択する階調電圧選択回路と、

40 上記選択された階調電圧に基づいて、上記液晶パネルのセグメント線へ供給されるべき駆動信号を形成するセグメントドライバと、

を有する携帯用電子機器。

【請求項 22】 請求項 21 において、上記表示制御装置は、さらに、上記液晶パネルの複数のコモン線を周期的に駆動するための駆動信号を形成するコモンドライバを含む携帯用電子機器。

50 【請求項 23】 請求項 21 において、上記表示制御装置は、さらに、上記メモリのビット線へ供給されるデー

タのビット数を設定可能なマスク設定回路を有し、上記マスク設定回路に設定された情報に基づいて、上記伝送回路が制御される携帯用電子機器。

【請求項24】 請求項21において、上記液晶パネルは、赤、緑及び青の3つのドットを画素とするカラー表示可能な液晶パネルである携帯用電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数の表示セグメントが2次元配列された表示部（例えばドットマトリックス型表示部）の表示制御を行う表示制御装置更には該表示制御装置における表示データを記憶するメモリの書き込みラッチ回路に適用して有効な技術に関し、例えば液晶表示制御装置およびそれを搭載した携帯用電子機器に利用して有効な技術に関する。

【0002】

【従来の技術】近年、携帯電話器やページャなどの携帯用電子機器の表示装置としては、一般に複数の表示画素が例えばマトリックス状に2次元配列されたドットマトリックス型液晶パネルが用いられており、機器内部にはこの液晶パネルの表示制御を行なう半導体集積回路化された表示制御装置や液晶パネルを駆動するドライバもしくはドライバを内蔵した表示制御装置が搭載されている。そして、この表示制御装置には液晶パネルに表示する表示データを記憶する書換え可能なRAM（ランダム・アクセス・メモリ）が内蔵されているものがあり、表示制御装置は機器全体を制御したり送受信信号の処理等を行なうマイクロプロセッサから表示すべきデータを受け取ると内部のRAM（以下、表示RAMと称する）の表示データを書き換えるように構成されている。

【0003】具体的には、図11に示すように、マイクロプロセッサからバスBUS0～BUS15を介して供給される1ワード（16ビット）のような書き込みデータを、表示RAM140のビット線に対応して設けられているラッチ回路群LTG1～LTG4に、図12に示すようなタイミング信号φ11、φ12……に同期して順次取り込み、各ラッチ回路群LTG1～LTG4と表示RAMとの間に設けられている伝送ゲート群TGT1～TGT4をタイミング信号φ31、φ32……によって順次開いて、ワード単位でデータを表示RAM140に順次書き込んで行く方式が一般的であった。

【0004】

【発明が解決しようとする課題】従来、このような携帯用電子機器に用いられる液晶パネルは、モノクロ表示のものが多かった。しかしながら、近年、携帯用電子機器の高機能化に伴い、表示部に表示される内容の多様化が進んでおり、カラー表示や動画表示を行なうものも提供されつつある。

【0005】ところで、カラー表示や動画表示を行なおうとすると、モノクロ静止画像表示に比べて表示データ

が非常に多くなるため、マイクロプロセッサとして動作周波数の高いものが使用されるとともに、表示RAMに対しても高速な書き込み動作が要求される。

【0006】しかしながら、携帯用電子機器のうち特に携帯電話器は電池消耗を減らすため、これに搭載される表示制御装置などのLSIは低消費電力であることが要求される。ところが、従来の表示制御装置に内蔵されている表示RAMは、図12に示されているように1ワードずつ順番に書き込んで行く方式であるため、マイクロプロセッサからの表示データの伝送速度に応じて書き込み速度を速くしようとする、伝送速度に比例して消費電力が増大してしまうという問題点があることが分った。

【0007】この発明は、上記のような問題点に鑑みてなされたもので、消費電力を増大させることなく内部の表示RAMに対するデータの書き込みを高速で行なえる表示制御装置およびそれを搭載した携帯用電子機器を提供することを目的としている。

【0008】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0010】すなわち、表示装置の表示データを記憶可能であって所定のビット単位で表示データの書き込みが行われる表示メモリを備え、該表示メモリから順次表示データを読み出して表示装置に対する駆動信号を形成し出力する表示制御装置において、前記表示メモリは、縦方向と横方向にそれぞれ整列配置された複数のメモリセルと同一行のメモリセルの選択端子が接続された複数のワード線と該ワード線と交差する方向に配設され同一列のメモリセルのデータ入出力ノードが接続された複数のビット線とを備えたメモリアレイを有し、前記ビット線には入力用の伝送手段と出力用の伝送手段が接続され、前記入力用の伝送手段によるデータの伝送で選択状態のワード線に接続されているメモリセルへのデータの書き込みが行なわれ、前記出力用の伝送手段によるデータの伝送で選択状態のワード線に接続されているメモリセルからのデータの読出しが行なわれるように構成され、前記所定ビット単位の表示データを順次取り込み可能な複数の第1データラッチ手段を備え、該第1データラッチ手段に保持されている表示データが、該第1データラッチ手段へ取り込まれる表示データのビット数の整数倍（n倍）のビット単位で、前記入力用の伝送手段により前記表示メモリのビット線に一括して伝送可能に構成したものである。

【0011】上記した手段によれば、表示メモリがセンスアンプを有しない構成つまり表示メモリへの書き込みデータは入力用伝送手段によりラッチ回路から直接ビット

線に伝送され、読出し時にはビット線のデータが出力用伝送手段により出力されるとともに、複数のデータが一旦ラッチ回路にラッチしてから一括して表示メモリに書き込まれるため、センスアンプのない分消費電力を減らせるとともにデータを1つずつ表示メモリに書き込む方式に比べて表示メモリのアクセス回数(ワード線の立上げ回数)が少なくなってメモリの消費電力を減らすことができる。また、センスアンプを省略したことにより書き込み速度や読出し速度が遅くなったとしても複数の書き込みデータを一括して表示メモリに書き込むことができるためデータを1つずつ書き込む従来方式に比べてデータの書き込みも高速で行なえるようになる。

【0012】また、望ましくは、前記第1データラッチ手段に保持されている表示データを前記第1データラッチ手段へ取り込まれる表示データのビット数の整数倍のビット単位で取込み可能な複数の第2データラッチ手段をさらに備え、前記入力用の伝送手段は該第2データラッチ手段に保持されている表示データを前記第1データラッチ手段へ取り込まれる表示データのビット数の整数倍(n倍)のビット単位で前記表示メモリのビット線に伝送可能に構成する。これにより、表示メモリに書き込むべきデータを第2データラッチ手段から表示メモリへ伝送している間に次に書き込むべき表示データを第1データラッチ手段へ取り込むことができるため、同一ビット線に接続されているメモリセルへのデータ書き込みが連続する場合にも高速でデータを書き込むことができるようになる。

【0013】さらに、望ましくは、前記入力用の伝送手段による前記表示メモリのビット線へのデータの伝送は、前記第1データラッチ手段への最後のデータの取込みと同一のタイミングで行なわれるようにする。これにより、表示メモリに書き込むべきデータを所定のビット単位の整数倍で表示メモリに伝送する場合においても、最後のデータを第1データラッチ手段に取り込んでから次のサイクルで一括して表示メモリへ伝送する方式よりも1サイクル速くデータを伝送することができる。

【0014】また、前記第1データラッチ手段の数は、前記n倍のさらに整数倍であるようにする。これにより、表示メモリの一行に対して連続してデータを書き込む場合に、端数を生じることなくデータの伝送を行なうことができるようになり、トータルのデータ書き込み時間を短縮することができる。

【0015】さらに、前記入力用の伝送手段により前記表示メモリのビット線に伝送されるべきデータのビット数を設定可能なマスク設定手段を備え、該マスク設定手段の設定情報に基づいて前記入力用の伝送手段が制御されるように構成する。これにより、表示メモリの任意の位置から一括書き込みでデータを書き換える場合にも、書き換え不要なデータが誤って書き換えられてしまうのを防止することができる。また、一括で書き込み可能な複数の

データの途中からデータを書き換える場合にも、マスク設定手段を使用することにより一括書き込み方式での書き込みが可能となり、書き込み時間の短縮が可能となる。

【0016】また、前記マスク設定手段は、連続したアドレス範囲の書き込みデータの先頭アドレスとその先頭アドレスからマスクすべきデータ量および終了アドレスとその終了アドレスからマスクすべきデータ量を設定可能に構成する。これにより、任意の長さの書き込みデータに対してマスク設定手段を使用したマスク書き込みが可能となる。

【0017】さらに、前記表示メモリから読み出された表示データに基づいて外部の液晶表示装置のセグメント電極を駆動する信号を生成するセグメント駆動手段を設け、1個の半導体チップ上に半導体集積回路として構成する。これにより、液晶表示装置を使用したシステムを構成する場合に、表示制御装置内にセグメント駆動手段が内蔵されているため、システムを構成する部品点数を減らすことができ、実装面積を低減することができるようになる。

【0018】また、本発明に係る携帯用電子機器は、上記のような構成を有する表示制御装置と、前記表示メモリに書き込む表示データの生成およびその書き込み位置情報に関する設定を行うデータ処理装置と、前記表示メモリから読み出されて表示データに基づき前記表示制御装置により形成された表示駆動信号により表示を行う表示装置とを備えるようにしたものである。これにより、携帯用電子機器の電源である電池の消耗を少なくすることができ、一回の充電で長時間の稼動が可能な携帯用電子機器を実現することができる。

【0019】さらに、前記表示装置はドットマトリックス型の液晶表示装置とする。これにより、一層電池の消耗を少なくして稼動時間を延ばすことができる。

【0020】また、前記表示制御装置は前記液晶表示装置のセグメント電極を駆動する信号を生成するセグメント駆動手段を備え、前記液晶表示装置のコモン電極を駆動する信号を生成するコモン電極駆動回路は前記表示制御装置が形成された半導体チップとは別個の半導体チップ上に半導体集積回路として構成され、該コモン電極駆動回路は前記表示制御装置を構成する素子よりも耐圧の高い素子で構成する。これにより、高耐圧を必要とするコモン電極駆動回路のみを別のチップで構成することができ、セグメント駆動手段とコモン電極駆動回路を同一のチップ上に形成する場合に比べて性能を向上させることができかつプロセスを簡単にして製造コストを下げるることができる。

【0021】

【発明の実施の形態】以下、この発明の好適な実施の形態を図面に基づいて説明する。

【0022】図1(A)は、本発明に係る表示制御装置の第1の実施例である液晶コントールドライバを備え

た携帯電話器の全体構成を示すブロック図である。

【0023】この実施例の携帯電話器は、表示部としての液晶パネル10、送受信用のアンテナ21、音声出力用のスピーカ22、音声入力用のマイクロホン23、本発明に係る表示制御装置としての液晶コントールドライバ100、スピーカ22やマイクロホンの信号の入出力を行なう音声インターフェース30、アンテナ21との間の信号の入出力を行なう高周波インターフェース40、音声信号や送受信信号に係る信号処理を行うDSP (Digital Signal Processor) 41、カスタム機能(ユーザ論理)を提供するASIC (application specific integrated circuits) 42、表示制御を含め装置全体の制御を行うデータ処理装置としてのマイクロプロセッサもしくはマイクロコンピュータ(以下、マイコンと略す)53およびデータ記憶用のメモリ60等を備える。上記DSP51、ASIC52およびマイコン53により、いわゆるベースバンド部50が構成される。

【0024】特に制限されるものでないが、上記液晶パネル10は、多数の表示画素が例えば176×128画素のようなマトリックス状に配列されたドットマトリックス方式のパネルである。なお、カラー表示の液晶パネルの場合、1画素は赤、青、緑の3ドットで構成される。また、メモリ60は、例えば所定のブロック単位で一括消去可能なフラッシュメモリ等から構成され、表示制御を含む携帯電話器システム全体の制御プログラムや制御データが記憶されると共に、2次元的な表示パターンとして文字フォント等の表示データが格納されたパターンメモリであるCGROM (character generator-read only memory)としての機能を兼ね備えている。

【0025】さらに、この実施例のシステムにおいては、液晶コントールドライバ100に、液晶パネル10のセグメント電極(例えば384本の電極)を駆動するセグメントドライバが内蔵され、液晶パネル10のコモン電極(例えば176本の電極)を駆動するコモンドライバ70は別の半導体チップ上に構成されている。ただし、このような構成に限定されるものでなく、例えば図1(B)に示すように液晶コントールドライバ100にセグメントドライバとコモンドライバを内蔵させた液晶コントールドライバとして構成するようにしても良い。

【0026】図2は、図1(A)の構成を有する液晶コントールドライバ100の実施例を示すブロック図である。

【0027】この実施例の液晶コントールドライバ100は、外部からの発振信号もしくは外部端子に接続された振動子からの発振信号に基づいてチップ内部の基準クロックパルスを生成するパルスジェネレータ110、このクロックパルスに基づいてチップ内部のタイミング制御信号を発生するタイミング発生回路111、外部のマイコン53からの指令に基づいてチップ内部全体を制

御する制御部120、マイコン53との間のデータの送受信を行なうシステムインタフェース131、外部のコモンドライバチップ70に対して制御信号CSやクロック信号CCLコマンドCDM等を供給するコモンドライバ・インタフェース132、表示データをビットマップ方式で記憶する表示メモリとしての表示RAM (Random Access Memory) 140等を備えている。表示RAMは例えば176ワード線×1024ビットで構成され、2MHz程度の動作速度とされる。

【0028】また、この実施例の液晶コントールドライバ100には、上記表示RAM140に対するアドレスを生成するアドレスカウンタ151、表示RAM140から読み出されたデータを保持するリードデータラッチ回路152、リードデータラッチ回路152に読み出されたデータすなわち既に表示されている表示内容とマイコン53から供給された新たな表示データとに基づいてすかし表示や重ね合わせ表示のための論理演算を行なう論理演算手段やスクロール表示のためのビットシフト手段などを備えマイコン53からの書込みデータまたは表示RAM140からのリードデータに対するビット処理を行なうビットオペレーション回路153、ビット処理されたデータを取り込んで上記表示RAM140に対してデータの書込みを行なう書込みラッチ回路160、上記制御部120およびアドレスカウンタ151からの信号に基づいて書込みラッチ回路160に対するタイミング信号を生成する書込みタイミング生成回路170が設けられている。すかし表示や重ね合わせ表示等が不要なときは、マイコン53から供給されたデータはビットオペレーション回路153を素通りして書込みラッチ回路160に伝達される。なお、マイコン53から書込みラッチ回路160へのデータ書込み速度は、例えば10-MHz程度とされる。

【0029】さらに、この実施例の液晶コントールドライバ100には、カラー表示や階調表示に適した波形信号を生成するPWM階調回路181、表示RAM140から液晶パネルへの表示のために読み出された表示データを保持する表示データラッチ回路182、該表示データラッチ回路182に保持された表示データに基づいて上記PWM階調回路181から供給される波形信号の中から表示データに応じた波形信号を選択する階調制御回路183、選択された階調データを保持する出力ラッチ回路184、該出力ラッチ回路184にラッチされたデータに基づいて液晶パネル10のセグメント電極に印加されるセグメント駆動信号SEG1~SEG384を出力するセグメントドライバ185等が設けられている。

【0030】このセグメントドライバ185には、前記コモンドライバチップ70から供給される液晶駆動電圧VSが印加可能に構成されている。このように、液晶駆動電圧V3が外部から供給されるように構成されること

により、この実施例の液晶コントロールドライバ100には、内部電源回路が不要となり、電源回路を内蔵させる場合に比べて低耐圧の素子(MOSFET)によりチップ全体の回路を構成することができるようになる。一方、コモンドライバチップ70は比較的高耐圧の素子により構成される。セグメントドライバとコモンドライバを同一のチップ上に形成すると、高耐圧の素子を形成するプロセスと低耐圧の素子を形成するプロセスとが必要となってプロセスが複雑になるが、別チップとすることによりプロセスを簡略化させることができる。

【0031】前記制御部120には、この液晶コントロールドライバ100の動作モードなどチップ全体の動作状態を制御するためのコントロールレジスタ121や、カラー表示を行なうためのデータが格納されるカラーパレットレジスタ122、表示RAM140へのデータ書込みの際に一部のデータの書込みを禁止するマスクデータを格納するためのマスクレジスタ123などのレジスタが設けられている。制御部120の制御方式としては、マイコン53からコマンドコードを受けるとこのコマンドをデコードして制御信号を生成する方式や予め制御部内に複数のコマンドコードと実行するコマンドを指示するレジスタ(インデックスレジスタと称する)とを備えマイコン53がインデックスレジスタに書込みを行なうことで実行するコマンドを指定して制御信号を生成する方式など任意の制御方式をとることができる。

【0032】このように構成された制御部120による制御によって、液晶コントロールドライバ100は、マイコン53からの指令およびデータに基づいて上述した液晶パネル10に表示を行なう際に、表示データを表示RAM140に順次書き込んでいく描画処理を行うと共に、表示RAM140から順次表示データを読み出す読出し処理を行なって液晶パネル10のセグメント電極に印加する信号を形成して駆動する。

【0033】システムインターフェース131は、マイコン53との間で表示RAMへの描画の際などに必要とされるレジスタへの設定データや表示データ等の信号の送受信を行なう。マイコン53とシステムインターフェース131の間には、データ送信先のチップを選択するチップセレクト信号CS*、データ格納先のレジスタを選択するレジスタセレクト信号RS、リード/ライトの制御信号E/WR*/SCL、RW/RD*などが送信される制御信号線、レジスタ設定データや表示データなど16ビットのデータ信号DB0~DB15が送受信されるデータ信号線とが設けられている。

【0034】リード/ライト制御信号としてE/WR*/SCLとRW/RD*が用意されているのは、68系のMPUとZ80系のMPUおよびシリアルクロック同期の3種類の入出力に対応できるようにするためである。具体的には、信号RSとEとRWは68系のMPUに対応する制御信号、WR*とRD*はZ80系のMP

Uに対応する制御信号、SCLはシリアルクロックによる入出力を行なうための制御信号である。なお、符号に*が付されている信号は、ロウレベルが有効レベルとされる信号であることを意味している。

【0035】タイミング発生回路111は、前記リードデータラッチ回路182や階調データを保持するラッチ回路184、セグメントドライバ185に対するタイミング信号の他に、セグメント電極の駆動との同期をとるために、外部のコモンドライバチップに対する各種タイミング信号CL1、FLM、M、DISPTMG、DCCLKを生成して出力する機能も備えている。

【0036】図3には、上記書込みラッチ回路160の具体的な回路例が示されている。

【0037】この実施例の書込みラッチ回路160は、16ビットのデータバスの各信号線BUS0~BUS15に接続されそれぞれ16ビットのデータを同時にラッチ可能な6個のラッチ回路からなる第1ラッチ群LTG11~LTG14と、該第1ラッチ群LTG11~LTG14と表示RAM140のメモリアレイ141との間に設けられ第1ラッチ群と同一数のラッチ回路からなる第2ラッチ群LTG21~LTG24と、第2ラッチ群LTG21~LTG24の出力端子側に設けられた伝送ゲート群TGT1~TGT4とから構成されている。なお、図3に示されているラッチ回路は書込みラッチ回路160に設けられているラッチ回路のすべてではなく、図3のような構成を1ユニットとすると、全部で16ユニット設けられている。すなわち、(16ビット×4)×16ユニット=1024ビットの第1および第2ラッチ群とが設けられる。なお、カラー表示の場合、例えば8ビットのデータで1画素(赤、青、緑の3ドット)の階調制御が行なわれる。

【0038】この実施例の書込みラッチ回路160は、前記書込みタイミング生成回路153から供給されるタイミング信号φ11~φ14、φ21~φ24、φ31~φ34により制御される。タイミング信号φ11~φ14、φ21~φ24、φ31~φ34を生成する書込みタイミング生成回路153は、制御部120内のコントロールレジスタ123の設定値に応じて、従来と同様な逐次書込みモードと一括書込みモードとでそれぞれ異なるタイミング信号φ11~φ14、φ21~φ24、φ31~φ34を生成するように構成されている。

【0039】図4には、メモリアレイ141と伝送ゲート群TGTの具体例を示す。メモリアレイ141には、複数のワード線W0、W1……と相補ビット線BL0、/BL0:BL1、/BL1……が互いに交差する方向に配設され、各ワード線W0、W1……と相補ビット線BL0、/BL0:BL1、/BL1……で囲まれた樹目の中にそれぞれメモリセルMCが配置されている。メモリセルMCは、公知の6素子のタイプのスタティック型メモリセルで構成され、各メモリセルMCの一方の入

出力端子がいずれかの相補ビット線BL0、/BL0；BL1、/BL1……；BL15、/BL15に接続され、メモリセルMCの選択端子がいずれかのワード線W0、W1……に接続されている。

【0040】伝送ゲート群TGTは、第2ラッチ群LTG21～LTG24を構成する各ラッチ回路LT0、LT1……LT15の出力端子に出力端子が接続され、出力端子が上記相補ビット線BLi、/BLi（i=0～15）の一方（例えば/BLi）に接続された第1のクロックド・インバータG0、G1……G15と、該インバータG0、G1……G15の出力を入力とし出力端子が相補ビット線BLi、/BLi（i=0～15）の一方（例えばBLi）に接続された第2のクロックド・インバータG20、G21……G35とからなる。

【0041】そして、これらの相補ビット線BLi、/BLi（i=0～15）の一方BLiに接続されたクロックド・インバータG0、G1……G15とG20、G21……G35は、同一のタイミング制御信号φ31によって制御され、ゲートが開かれるとラッチ回路LT1、LT2……LT16の出力信号を相補ビット線BL0、/BL0；BL1、/BL1……；BL15、/BL15に伝達し、そのとき選択レベルにされているワード線に接続されているメモリセルMCに対してデータの書き込みが行なわれるように構成されている。

【0042】また、相補ビット線BL0、/BL0；BL1、/BL1……；BL15、/BL15の一方/BL0、/BL1、……/BL15の他端には、表示リード用のクロックド・インバータG100、G101……G115の入力端子が接続され、タイミング制御信号φ40によって制御され、ゲートが開かれるとビット線/BL0、/BL1……/BL15のレベルを検出して、そのとき選択レベルにされているワード線に接続されているメモリセルMCからの読出しデータを出力するように構成されている。この読出しデータは図2に示されている表示データラッチ回路182に伝送される。なお、表示リード用のクロックド・インバータG100、G101……G115が接続されるビット線はBL0、BL1……BL15であってもよい。

【0043】さらに、相補ビット線BL0、/BL0；BL1、/BL1……；BL15、/BL15のうち一方BL0、BL1、……BL15の始端には、タイミング制御信号φ50によって制御され、ゲートが開かれると相補ビット線BL0、BL1、……BL15のレベルを検出して、そのとき選択レベルにされているワード線に接続されているメモリセルMCからの読出しデータを出力する演算リード用のクロックド・インバータG200、G201……G215が接続されている。この読出しデータは図2に示されているリードデータラッチ回路153に伝送される。なお、リード用のクロックド・インバータG200、G201……G215が接

続されるビット線は/BL0、/BL1……/BL15であってもよい。

【0044】図5（A）には、この実施例の表示コントロールドライバにおける表示RAM140への書き込みモードのうち一括書き込みモードにおけるタイミング信号φ11～φ14、φ21～φ24、φ31～φ34の波形が示されている。

【0045】この一括書き込みモードでは、まずタイミング信号φ11～φ14によりデータバスBUS0～BUS15上の信号が16ビットずつ順次第1ラッチ群LTG11～LTG14に取り込まれる（期間T1）。そして、最後の16ビットすなわち4ワード目のデータがLTG14に取り込まれるのと同時に、タイミング信号φ21～φ24により第1ラッチ群LTG11～LTG14にラッチされている4ワードのデータが第2ラッチ群LTG11～LTG14に取り込まれる（期間T1）。

【0046】しかる後、タイミング信号φ31～φ34により伝送ゲート群TGT1～TGT4が同時に開かれて、第2ラッチ群LTG21～LTG24にラッチされている4ワードのデータが同時に表示RAMのメモリアレイ141のビット線上に伝送されて、そのときアドレスカウンタ151からのアドレスADDをデコード（DEC）1と2がデコードすることにより選択レベルにされたワード線に接続されているメモリセルへ、伝送されたデータが書き込まれる（期間T3）。なお、このメモリアレイへのデータの書き込みが行なわれている間に、次のデータの第1ラッチ群LTG11～LTG14への取込みが実行される。

【0047】図5（B）には、逐次書き込みモードにおけるタイミング信号φ11～φ14、φ21～φ24、φ31～φ34の波形が示されている。

【0048】この逐次書き込みモードでは、φ11～φ14とφ21～φ24とは同一タイミングの信号とされ、まずタイミング信号φ11によりデータバスBUS0～BUS15上の16ビットの信号が1番目の第1ラッチ群LTG11に取り込まれるとともに、同時にそのデータがタイミング信号φ21によりそのまま第2ラッチ群LTG21に取り込まれる。続いて、タイミング信号φ31により伝送ゲート群TGT1が開かれて、第2ラッチ群LTG21にラッチされている1ワードのデータが表示RAM140のメモリアレイの対応するビット線上に伝送されてメモリセルへの書き込みが行なわれる（期間T11）。

【0049】次に、タイミング信号φ12によりデータバスBUS0～BUS15上の16ビットの信号が2番目の第1ラッチ群LTG12に取り込まれるとともに、同時にそのデータがタイミング信号φ22により第2ラッチ群LTG22にそのまま取り込まれる。続いて、タイミング信号φ32により伝送ゲート群TGT2が開かれて、第2ラッチ群LTG22にラッチされている1ワ

ードのデータが表示RAM140のメモリアレイの対応するビット線に伝送されてメモリセルへの書き込みが行なわれる(期間T12)。

【0050】このようにして、データバスBUS0～BUS15上の16ビットの信号が順次メモリアレイに書き込まれていく。ただし、この逐次書き込みモードでは、第1ラッチ群LTG11～LTG14……に対して順番にデータを取り込ませて書き込みを行なう必要はなく、例えばLTG12, LTG14, LTG13, LTG11……のように任意の順番で行なうことができる。

【0051】図5(A)と(B)を比較すると明らかに、一括書き込みモードを利用すると書き込み所要時間を短縮できるとともに、逐次書き込みモードでは同一のワードに接続されているメモリセルであっても1ワードのデータの書き込みが行なわれる度にワード線の立上げが必要になるため、消費電力が多いが、一括書き込みモードでは同一のワードに接続されているメモリセルに対しては4ワードのデータを同時に書き込むことができるため、ワード線の立上げも1回で済み、その分消費電力を減らすことができる。つまり、一括書き込みモードを利用するとラッチ回路へのデータの取り込みを高速化してもメモリアレイへのデータの書き込み回数は減らすことができるため、逐次書き込みモードでの1ワードのデータの書き込みに対して書き込み所要時間および消費電力を増加させることなく4倍のデータの書き込みを行なうことができる。

【0052】上記実施例では、4ワードのデータを順次ラッチ回路に取り込んで一括してメモリアレイに書き込むようにしているが、同様にして5ワード以上のデータをラッチ回路に順次取り込んでから一括してメモリアレイに書き込むように構成することも可能である。ただし、一括して書き込むデータの量を増加させると、表示RAM140内の一部例えば1ワードのデータのみ書き換えたいような場合にも複数ワード分のデータをラッチ回路へ送ってやる必要が生じるため、マイコンの負担が大きくなるとともに、連続しないアドレスに対する書き込みが続く場合にはオーバーヘッドも大きくなる。

【0053】従って、一括して書き込むデータの大きさは、システムにおいて比較的頻繁に行なわれるデータの書き込みサイズに応じて決定してやればよい。本実施例のシステムは、このような観点から4ワードのデータを一括書き込みするように構成したものである。

【0054】図6(A)には、本実施例の液晶コントローラドライバ100を使用したシステムにおいて、例えば表示RAM140の全メモリセルにデータを書き込む際の各ワード(16ビットのデータ)とアドレスとの関係を示す。図において、1ライン目のアドレス“0000”～“003F”は液晶パネル10の1ライン分の1024ビット(64ワード)のデータのアドレスを示しており、特に制限されるものでないが、この実施例では

この1ライン分のデータは表示RAM140の1本のワード線に接続された1024個のメモリセルに記憶される。

【0055】また、図6(A)に網掛けが付されているデータはアドレス“0000”～“0003”の4ワードのデータで、この4ワードのデータは、一括書き込みモードでは1ワードずつ外部のマイコンから供給されて順次第1ラッチ群LTG11～LTG14に書き込まれる。そして、4ワード揃ったところで第2ラッチ群LTG21～LTG24に伝送されて、表示RAM140内のアドレス“0000”～“0003”に対応するメモリセルに書き込まれる。

【0056】この4ワードのデータの書き込みが開始されると並行して、次のアドレス“0004”～“0007”の4ワードのデータが1ワードずつ外部のマイコンから供給されて順次第1ラッチ群LTG11～LTG14に書き込まれて、4ワード揃ったところで第2ラッチ群LTG21～LTG24に伝送されて、表示RAM140内の対応するメモリセルに書き込まれる。上記動作を繰り返すことにより、短時間に効率良くデータを書き込むことができるとともに、1ワードずつデータを書き込む場合に比べて表示RAM140のアクセス(ワード線の立上げ動作)回数が少なくて済み、消費電力が低減される。

【0057】図6(B)には、本実施例の液晶コントローラドライバ100を使用したシステムにおいて、一括書き込みモードで表示RAM140の1部のアドレスのデータを書き換える場合のマイコンからの書き込みデータと、第1ラッチ群LTG11～LTG14から表示RAM140に伝送されるデータとの関係を示す。図6

(A)において、網掛けが付されているアドレス“0000”～“0007”の8ワードのデータのうち“0001”～“0004”の4ワードのデータが実際に書き換えを行ないたいライトデータであるとする。

【0058】この場合、マイコンにおいてアドレス“0000”の1ワードのダミーデータとアドレス“0005”～“0007”の3ワードのダミーデータが付加されて、先ずダミーデータを含むアドレス“0000”～“0004”の4ワードのデータが1ワードずつ順次第1ラッチ群LTG11～LTG14へ供給されて書き込まれる。そして、4ワード揃ったところで、このうちダミーデータを除く3ワードのデータが第2ラッチ群LTG21～LTG24に伝送されて、表示RAM140内の対応するメモリセルに書き込まれる。

【0059】この4ワードのデータの書き込みが開始されると並行して、3個のダミーデータを含む次のアドレス“0004”～“0007”の4ワードのデータが1ワードずつ外部のマイコンから供給されて順次第1ラッチ群LTG11～LTG14に書き込まれて、4ワード揃ったところで、ダミーデータを除く1ワードのデー

タが第2ラッチ群LTG21~LTG24に伝送されて、表示RAM140内の対応するメモリセルに書き込まれる。なお、上記書き込みの際の連続したアドレスは、外部のマイコンがアドレスカウンタ151に対して書き込み位置の先頭アドレスを設定し、アドレスカウンタ151がカウントアップ動作することで自動的に発生するように構成されている。

【0060】図7および図8には、書換えを行なうデータのアドレス範囲と第1ラッチ群LTG11~LTG14へのデータの書き込み回数との関係を示す。図において、太線で囲まれているアドレスが書換え対象のデータである。ここでは、図7に書換えをしたいデータのアドレスの切れ目が良い場合を、また図8に4ワードずつのグループのうち2以上にまたがっている場合を示す。

【0061】図7および図8から分かるように、書換えをしたいデータのアドレスが図8のように4ワードずつのグループのうち2以上にまたがっているときは、図7のように4ワードずつ切れ目の良いアドレスに対してデータを書き込む場合に比べて、ダミーデータの数だけ書き込み回数が多くなるとともに、表示RAM140に対する書き込み回数もそれぞれ多くなるものの、1ワードずつ書き込むモードに比べれば表示RAMへのデータ書き込み回数は少なく済み、その分消費電力を減らすことができる。

【0062】次に、書換えをしたいデータのアドレスが図8(B)に示すように4ワードずつのグループの2以上にまたがっている場合に、第1ラッチ群LTG11~LTG14に書き込まれたダミーデータを含む4ワードのデータのうち、ダミーデータを除くデータのみを第2ラッチ群LTG21~LTG24に伝送して、表示RAM140内の対応するメモリセルに書き込む動作を可能にする構成を説明する。

【0063】このような選択データ書き込みは、前述した制御部120内に設けられているマスクレジスタ122への設定により可能とされる。具体的には、マスクレジスタ122には、図9(A)に示すように、ライト開始アドレス設定フィールドWSAと、マスクすべき先頭からのワードの数を設定する開始側マスク量設定フィールドSMWと、ライト終了アドレス設定フィールドWEAと、マスクすべき終端からのワードの数を設定する終了側マスク量設定フィールドEMWとが設けられている。なお、開始側マスク量設定フィールドSMWと終了側マスク量設定フィールドEMWは、この実施例では一括書き込みの単位が4ワードであるので2ビットで良い。マスク量は、ライト開始アドレス、ライト終了アドレスにより自動的に決まるため、マイコン53から設定する必要はない。一括書き込みの単位が8ワードの場合には、開始側マスク量設定フィールドSMWと終了側マスク量設定フィールドEMWを3ビットとすれば良い。

【0064】そして、外部のマイコン53がこのマスク

レジスタ122への設定を行なってから第1ラッチ群LTG11~LTG14へのデータの書き込みを開始すると、書き込み終了後第1ラッチ群LTG11~LTG14から表示RAM140へのデータの伝送の際に、書き込みタイミング生成回路170からダミーのデータを除くデータのみを伝送させるようなタイミング信号φ31~φ34……が、図3の伝送ゲート手段TGT1~TGT4……に対して供給される。

【0065】以下、このマスクレジスタ122への設定による具体的なデータマスク動作を、一例として図9(B)に示すような6~12ワードのデータを書き込む4つのケースを例にとって説明する。

【0066】図9(B)の第1のケースは切り目の良い連続したアドレス“0000”~“000B”に対して12ワードのデータを書き込むケース、第2のケースは中間のアドレス“0001”~“000A”に対して10ワードのデータを書き込むケース、第3のケースは中間のアドレス“0002”~“0009”に対して8ワードのデータを書き込むケース、第4のケースは中間のアドレス“0003”~“0008”に対して6ワードのデータを書き込むケースにおいて、マスクするデータ(ダミーデータ)と表示RAMに対する書き込みを行なうべきデータとの関係をそれぞれ表わしている。

【0067】なお、図9(B)において、白抜きの枠(□印)は書き込むべきデータを、また黒の塗潰し枠(■印)はマスクすべきデータを意味している。いずれの場合も、外部のマイコンから第1ラッチ群LTG11~LTG14に書き込むデータは12ワードである。図9(C)は、上記ケース1~4に対応して前記マスクレジスタ122へ設定すべき値を示す。終了アドレスは、“000B”の代わりに、最後のグループの先頭のアドレス“0008”とすることも可能である。

【0068】図10(A)には、ケース2のアドレス“0001”~“000A”に対して10ワードのデータを表示RAM140に書き込む場合におけるアドレス“0000”~“0003”のデータに対応する第1ラッチ群LTG11~LTG14と第2ラッチ群LTG21~LTG24と伝送ゲート群TGT11~TGT14に対して供給されるタイミング信号φ11~φ14、φ21~φ24、φ31~φ34の波形を示す。

【0069】また、図10(B)には、ケース4のアドレス“0003”~“0008”に対して8ワードのデータを表示RAM140に書き込む場合におけるアドレス“0000”~“0003”のデータに対応する第1ラッチ群LTG11~LTG14と第2ラッチ群LTG21~LTG24と伝送ゲート群TGT11~TGT14に対して供給されるタイミング信号φ11~φ14、φ21~φ24、φ31~φ34の波形を示す。

【0070】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施の形

態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0071】例えば、前記実施例においては、バスBUS0～BUS15とメモリアレイ141との間に第1ラッチ群LTG11～LTG14と第2ラッチ群LTG21～LTG24と伝送ゲート群TGT1～TGT4を設けているが、第2ラッチ群LTG21～LTG24を省略して第1ラッチ群LTG11～LTG14の保持データを伝送ゲート群TGT1～TGT4によりメモリアレイ141のビット線に伝送するように構成しても良い。

このようにしても、前述した64ビットような一括書き込みが可能である。

【0072】ただし、前記実施例のように、第1ラッチ群LTG11～LTG14と第2ラッチ群LTG21～LTG24を設けた場合には、図7(C)のような同一ビット線上のメモリセルに連続してデータを書き込む必要がある場合に、図10(C)、(D)のように、最初に取り込んだデータをメモリアレイに伝送して書き込んでいる間に、並行して次のデータを第1ラッチ群LTG11～LTG14に取りこむことができる。そして、この場合にも、マスクレジスタの設定値に応じて第1ラッチ群LTG11～LTG14に取り込まれた4ワードのうち最初の1ワードがメモリアレイに伝送されないようにすることができる。

【0073】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である携帯電話器の表示装置について説明したがこの発明はそれに限定されるものでなく、例えば、PHS(personal handy phone)、ポケットベル(登録商標)、および、ページャーなどの種々の携帯型電子機器に適用することが出来る。また、携帯型電子機器や液晶ディスプレイに適用するのに限られず、例えば大型の機器に備わる表示装置やその制御装置、また、LEDなどを2次元配列してなるドット表示装置などにも広く利用することができる。

【0074】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0075】すなわち、本発明に従うと、消費電力を増大させることなく内部の表示RAMに対するデータの書き込みを高速で行なえる表示制御装置およびそれを搭載した携帯用電子機器を実現することができる。

【図面の簡単な説明】

【図1】本発明を適用した液晶コントロールドライバを備えた携帯電話器の全体構成を示すブロック図である。

【図2】実施例の液晶コントロールドライバの詳細を示すブロック図である。

【図3】液晶コントロールドライバ内の表示RAMの書き込みラッチ回路の具体例を示す回路図である。

【図4】メモリアレイと書き込みラッチ回路のより具体的な例を示す回路図である。

【図5】実施例の表示コントロールドライバにおける表示RAMへの一括書き込みモードと逐次書き込みモードにおけるラッチタイミング信号の波形を示すタイミングチャートである。

【図6】実施例の液晶コントロールドライバを使用したシステムにおいて、表示RAMに一括書き込みモードでデータを書き込む際の各ワード(16ビットのデータ)とアドレスとの関係を示す図である。

【図7】実施例の液晶コントロールドライバを使用したシステムにおいて、表示RAMに一括書き込みモードで切れ目の良いデータを書き込む際のデータのサイズとラッチ回路への書き込み回数および表示RAMへの書き込み回数との関係を示す図である。

【図8】実施例の液晶コントロールドライバを使用したシステムにおいて、表示RAMに一括書き込みモードで切れ目が悪いデータを書き込む際のデータのサイズとラッチ回路への書き込み回数および表示RAMへの書き込み回数との関係を示す図である。

【図9】表示RAMのビット線に伝送されるデータのビット数を設定するマスクレジスタの構成例と、レジスタの設定値とマスクされるデータとの関係およびレジスタへの設定値の例を示す説明図である。

【図10】マスクレジスタに設定を行なった場合のラッチタイミング信号の波形例を示す波形図である。

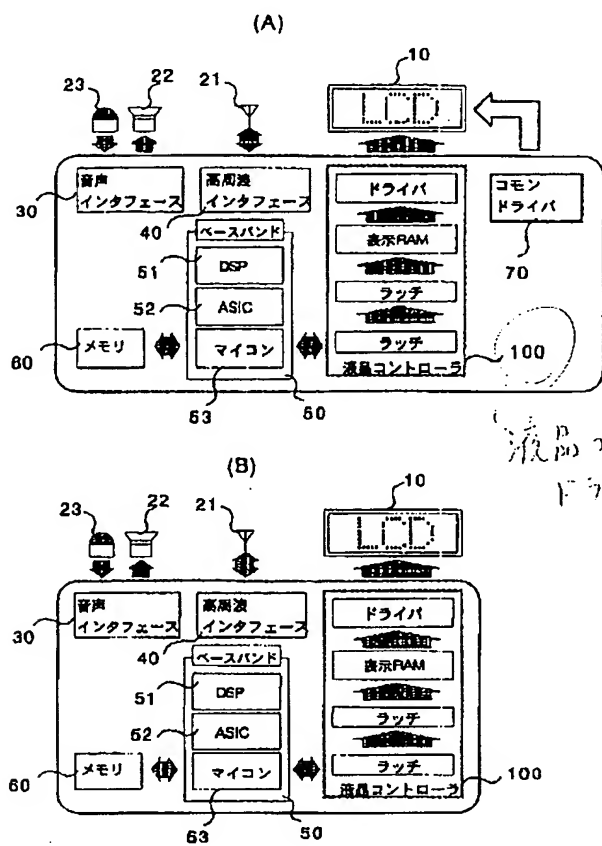
【図11】従来の液晶コントロールドライバにおける表示メモリへの書き込みデータをラッチするラッチ回路の構成例を示す回路図である。

【図12】従来の液晶コントロールドライバにおける表示メモリへのデータのラッチタイミングと表示メモリへのデータの書き込みタイミングの例を示すタイミングチャートである。

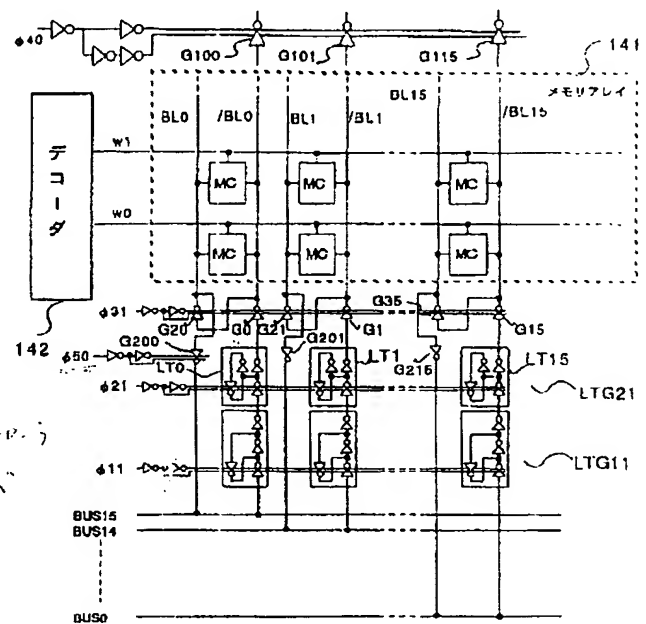
【符号の説明】

- 10 表示装置(液晶ディスプレイ)
- 53 マイコン(マイクロコンピュータ、マイクロプロセッサ)
- 100 液晶コントローラドライバ
- 110 クロック信号発生回路
- 120 制御部
- 123 マスクレジスタ
- 140 表示メモリ(表示RAM)
- 160 書き込みラッチ回路
- LTG11～LTG14 第1ラッチ回路群(第1データラッチ手段)
- LTG21～LTG24 第2ラッチ回路群(第2データラッチ手段)
- TGT1～TGT4 伝送ゲート群(入力用伝送手段)

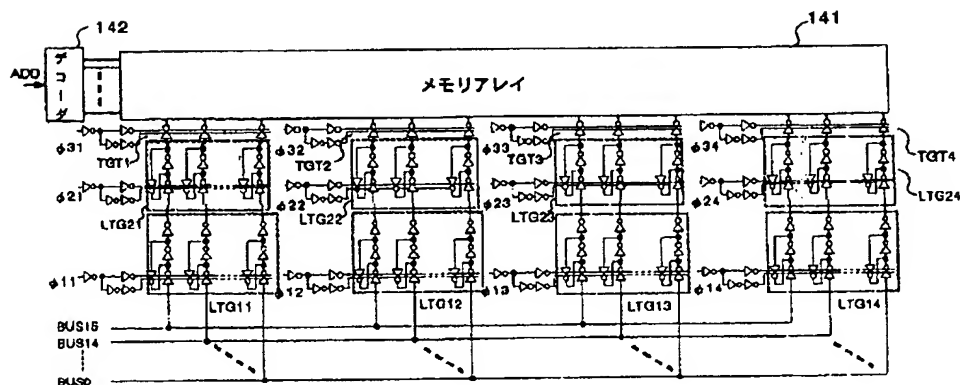
【図1】



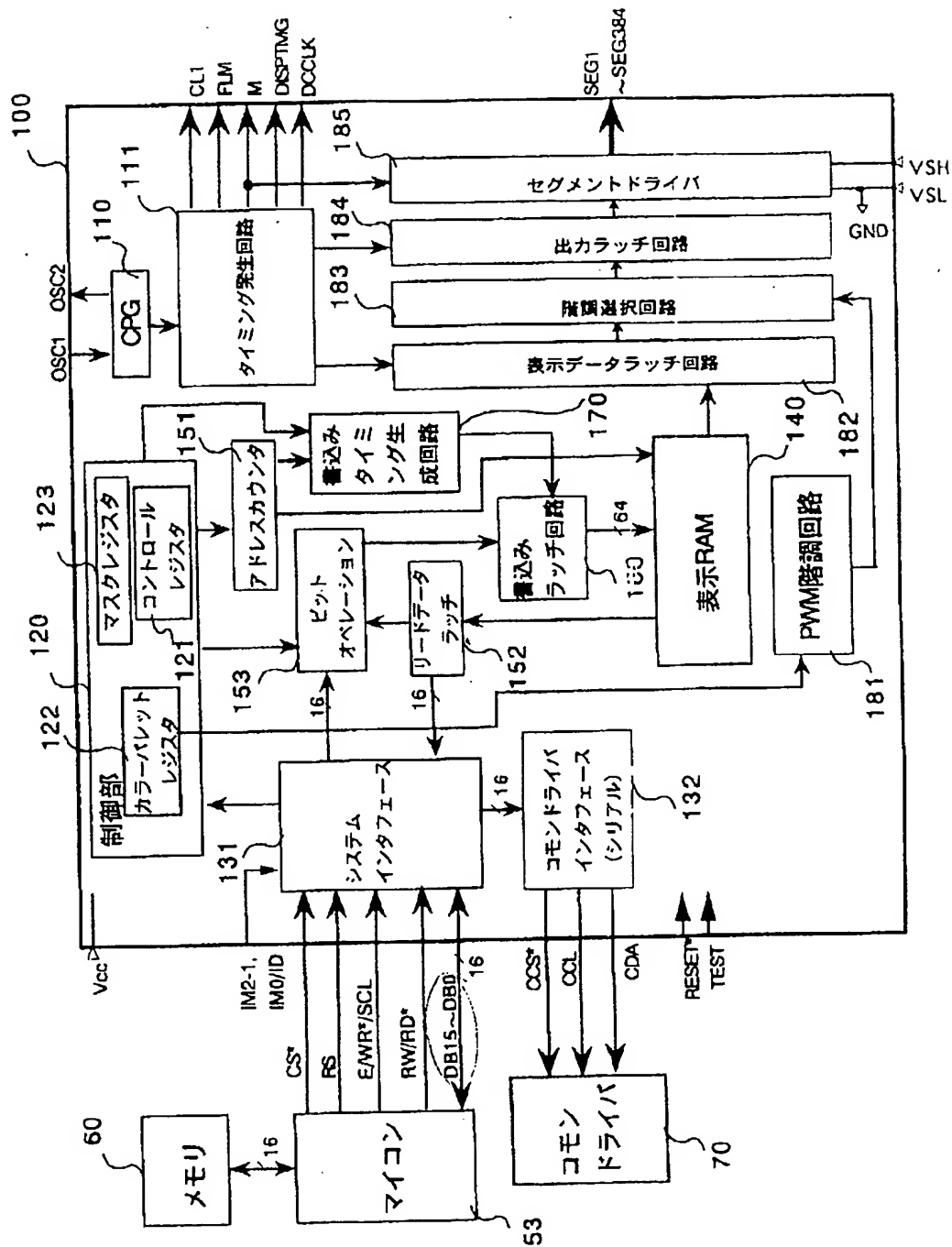
【図4】



【図3】



【図2】



i) 書換領域：切れ目が4の倍数。

\$0000	\$0001	\$0002	\$0003	\$0004	\$0005	\$0006	\$0007
\$0100	\$0101	\$0102	\$0103	\$0104	\$0105	\$0106	\$0107
\$0200	\$0201	\$0202	\$0203	\$0204	\$0205	\$0206	\$0207

(A)

ii) 書換領域：切れ目が4の倍数。

\$0000	\$0001	\$0002	\$0003	\$0004	\$0005	\$0006	\$0007
\$0100	\$0101	\$0102	\$0103	\$0104	\$0105	\$0106	\$0107
\$0200	\$0201	\$0202	\$0203	\$0204	\$0205	\$0206	\$0207

(B)

iii) 書換領域：切れ目が4の倍数。

\$0000	\$0001	\$0002	\$0003	\$0004	\$0005	\$0006	\$0007
\$0100	\$0101	\$0102	\$0103	\$0104	\$0105	\$0106	\$0107
\$0200	\$0201	\$0202	\$0203	\$0204	\$0205	\$0206	\$0207

(C)

i) 書換領域：切れ目が4の倍数でない。

\$0000	\$0001	\$0002	\$0003	\$0004	\$0005	\$0006	\$0007
\$0100	\$0101	\$0102	\$0103	\$0104	\$0105	\$0106	\$0107
\$0200	\$0201	\$0202	\$0203	\$0204	\$0205	\$0206	\$0207

(A)

ii) 書換領域：更新ドレが4の倍数でない。

\$0000	\$0001	\$0002	\$0003	\$0004	\$0005	\$0006	\$0007
\$0100	\$0101	\$0102	\$0103	\$0104	\$0105	\$0106	\$0107
\$0200	\$0201	\$0202	\$0203	\$0204	\$0205	\$0206	\$0207

(B)

iii) 書換領域：256をまたがる

\$0000	\$0001	\$0002	\$0003	\$0004	\$0005	\$0006	\$0007
\$0100	\$0101	\$0102	\$0103	\$0104	\$0105	\$0106	\$0107
\$0200	\$0201	\$0202	\$0203	\$0204	\$0205	\$0206	\$0207

(C)

ラッチ書き込み回数：4回

(1)	(2)	(3)	(4)				

RAM

1回

ラッチ書き込み回数：8回

(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)

RAM

2回

ラッチ書き込み回数：8回

(1)	(2)	(3)	(4)				
(5)	(6)	(7)	(8)				

RAM

2回

ラッチ書き込み回数：4回

(1)	(2)	(3)	(4)				

RAM

1回

ラッチ書き込み回数：8回

(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)

RAM

2回

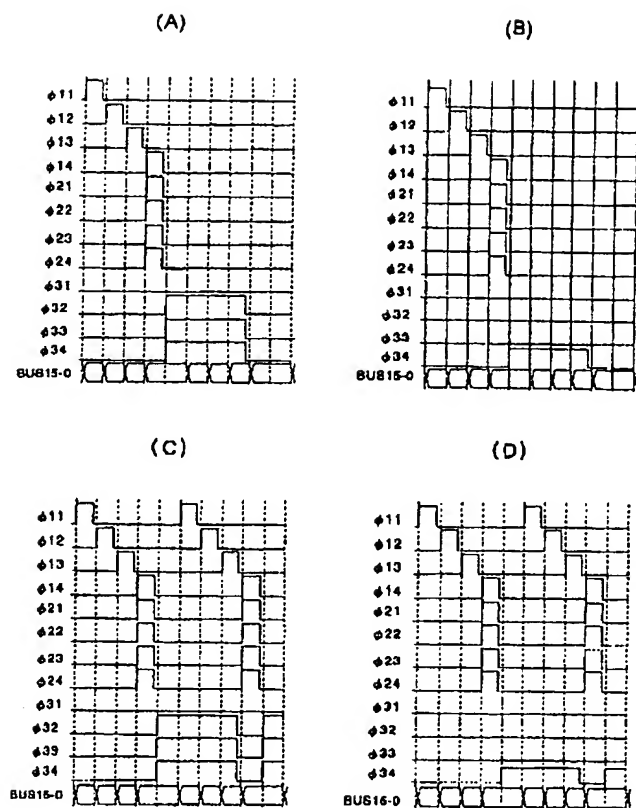
ラッチ書き込み回数：16回

(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)
(9)	(10)	(11)	(12)	(13)	(14)	(15)	(16)

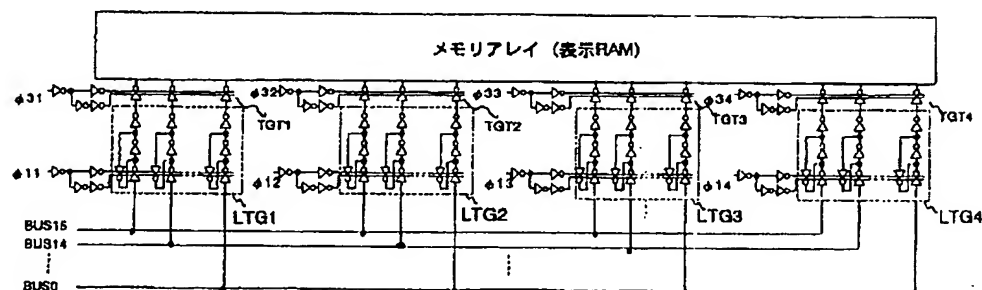
RAM

4回

【図10】



【図11】



フロントページの続き

(51)Int. Cl. 7

識別記号

F I

7-700-1 (参考)

3/36

5/00

555

T

(72)発明者 横田 善和

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 大山 尚

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 坂巻 五郎

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.